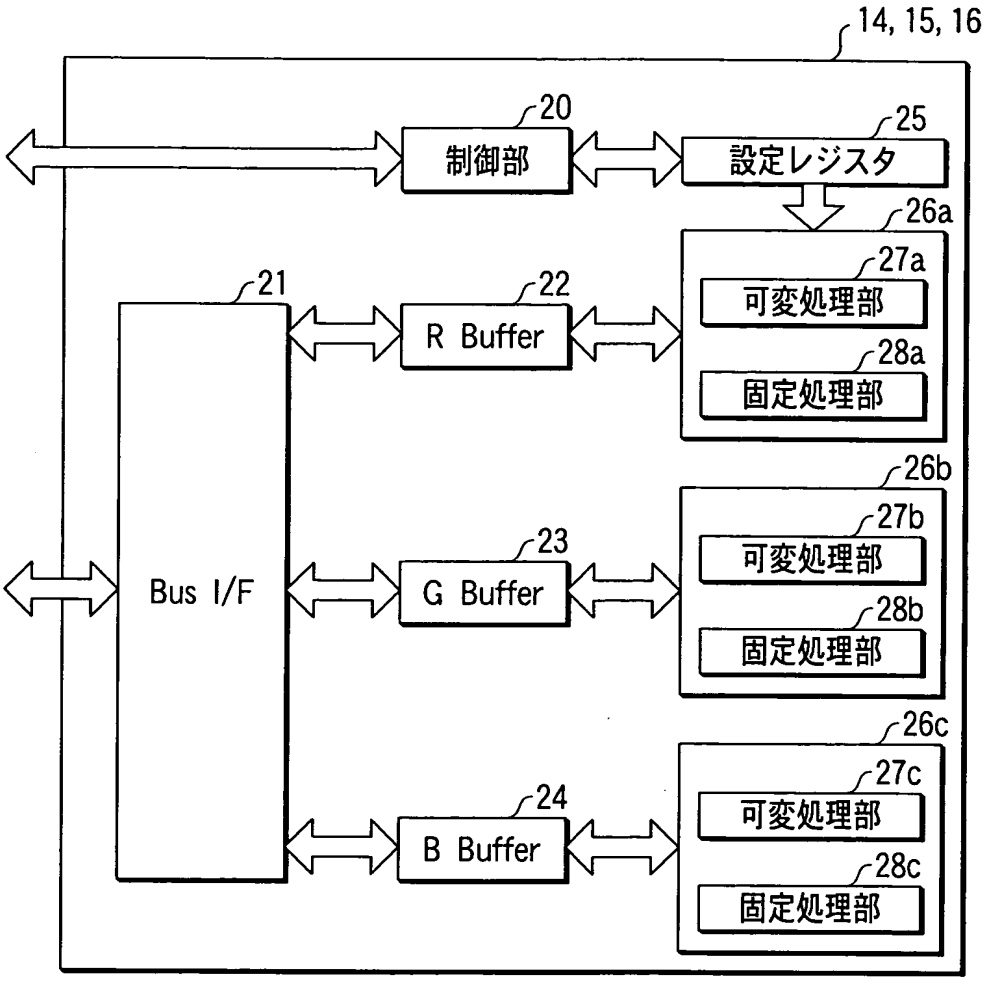
14, 15, 16
20
制御部
25
設定レジスタ
26a
27a
可変処理部
28a
固定処理部
21
22
R Buffer
Bus I/F
23
G Buffer
26b
27b
可変処理部
28b
固定処理部
26c
27c
可変処理部
24
B Buffer
28c
固定処理部

FIG. 1

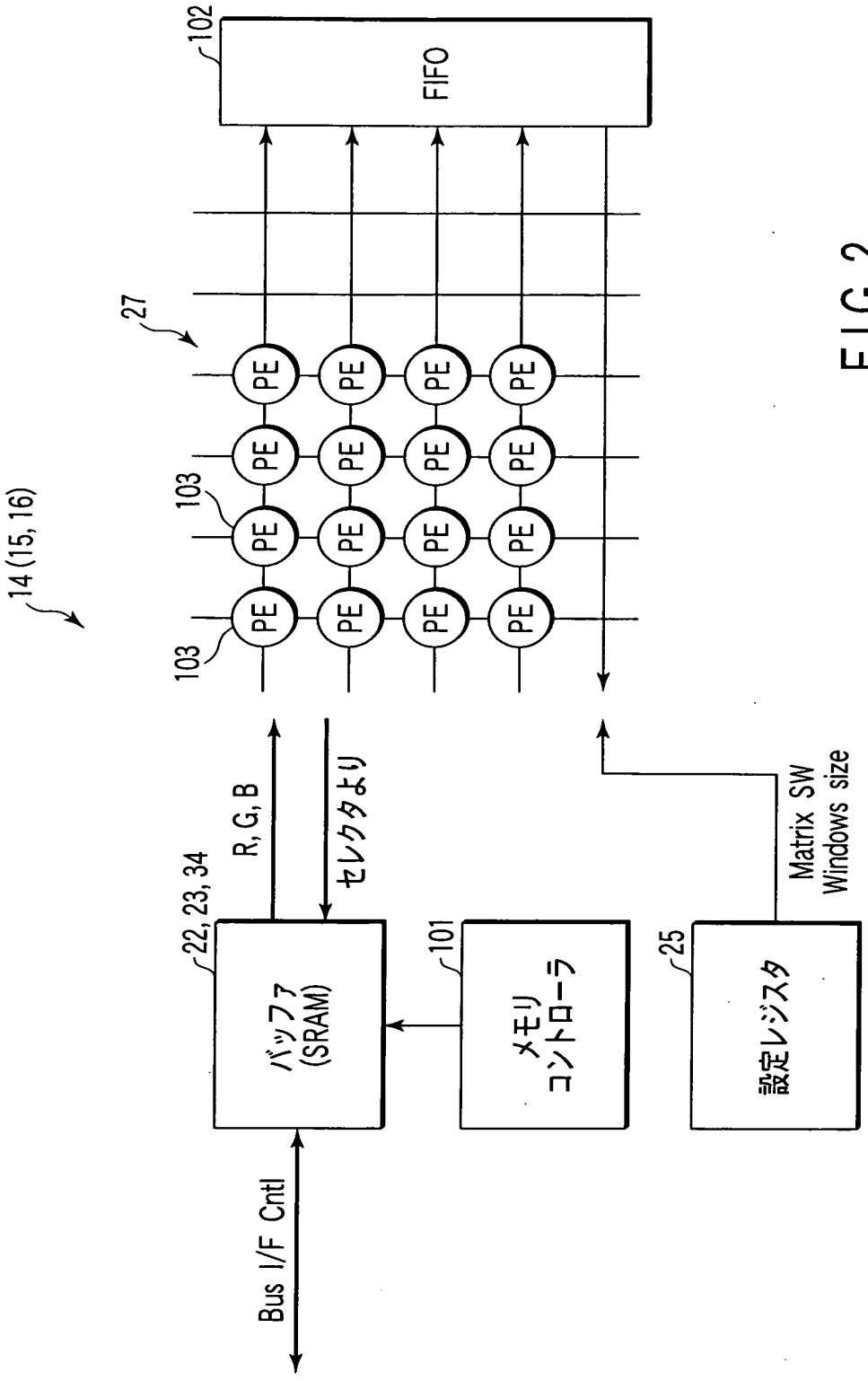
14 (15, 16)
27
102
FIFO
PE
103
103
R, G, B
セレクタより
22, 23, 34
バッファ
(SRAM)
101
メモリ
コントローラ
25
設定レジスタ
Matrix SW
Windows size
Bus I/F Cntl

FIG. 2

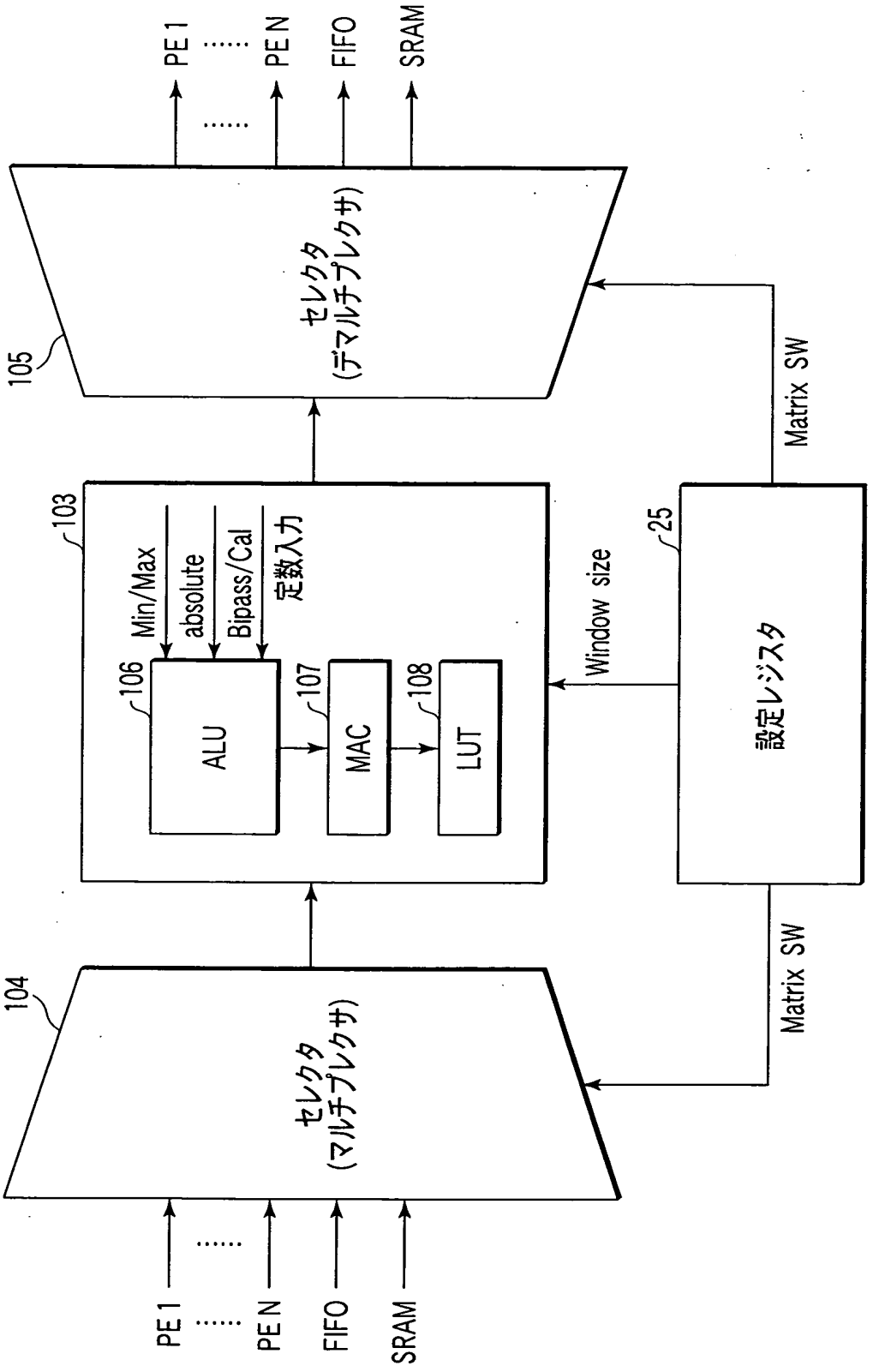
PE 1
PE N
FIFO
SRAM
セレクタ
(デマルチプレクサ)
105
Matrix SW
103
Min/Max
absolute
Bipass/Cal
定数入力
106
ALU
107
MAC
108
LUT
Window size
25
設定レジスタ
Matrix SW
104
セレクタ
(マルチプレクサ)
PE 1
PE N
FIFO
SRAM

FIG. 3

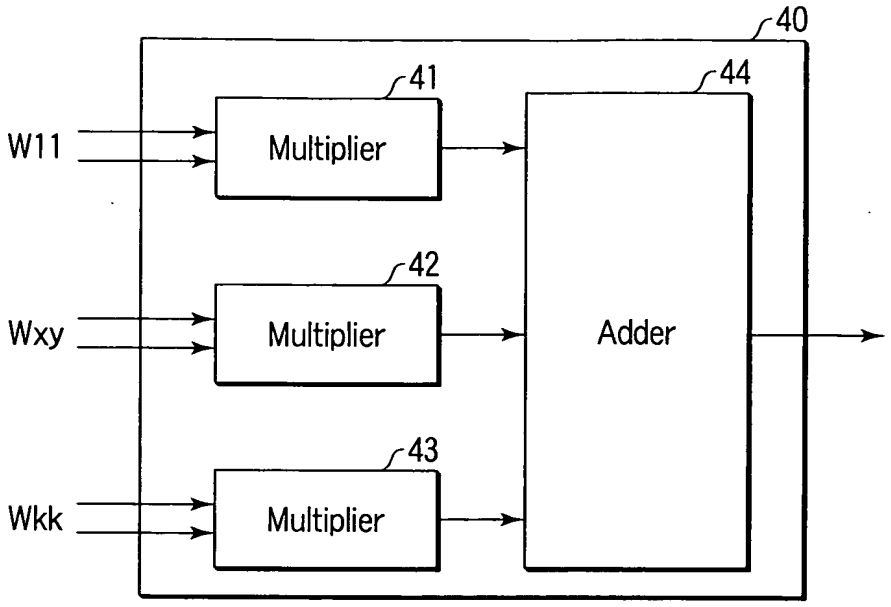
40
41
44
W11
Multiplier
42
Wxy
Multiplier
Adder
43
Wkk
Multiplier

FIG. 4

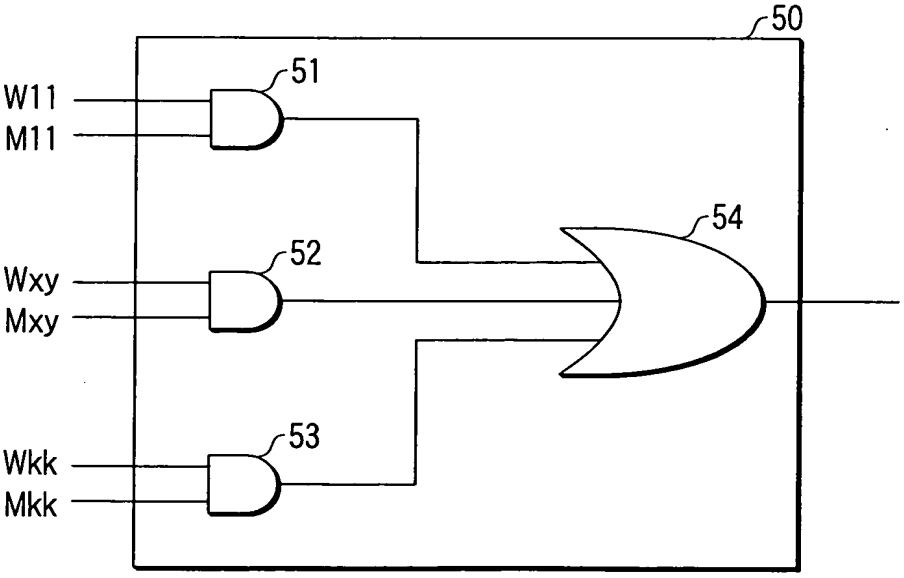
50
51
W11
M11
54
52
Wxy
Mxy
53
Wkk
Mkk

FIG. 5

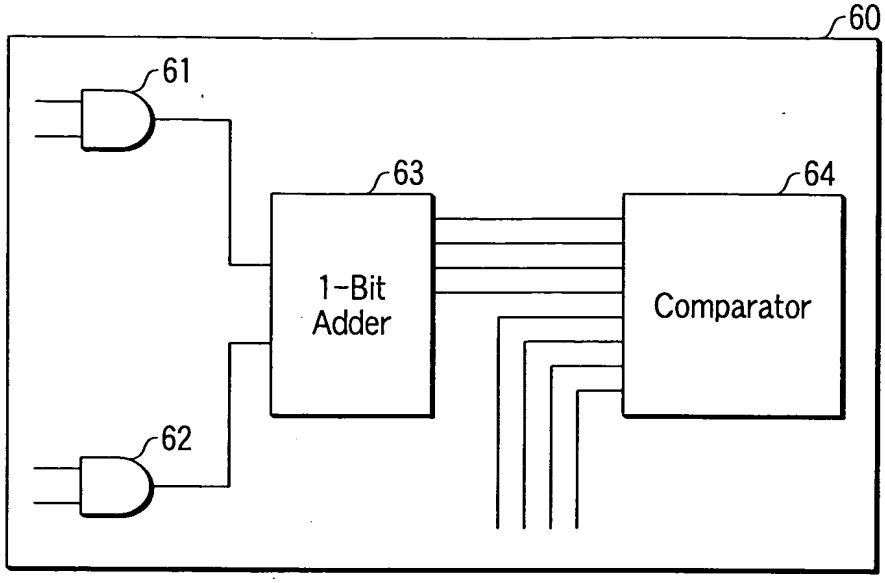
60
61
63
64
1-Bit
Adder
Comparator
62

FIG. 6

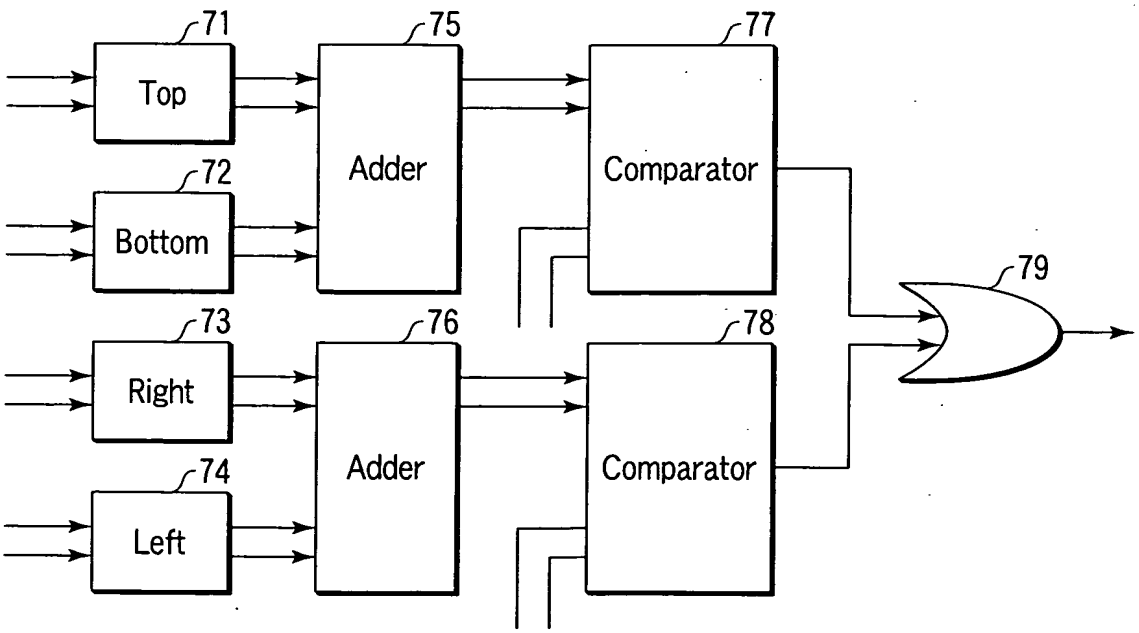
71
75
77
Top
Adder
Comparator
72
Bottom
79
73
76
78
Right
Adder
Comparator
74
Left

FIG. 7

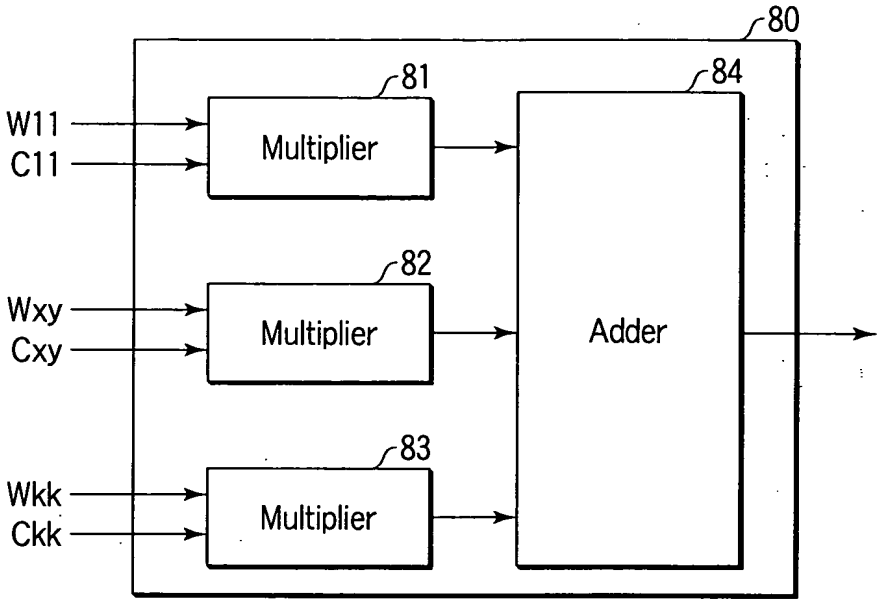
80
81
84
W11
C11
Multiplier
82
Wxy
Cxy
Multiplier
Adder
83
Wkk
Ckk
Multiplier

FIG. 8

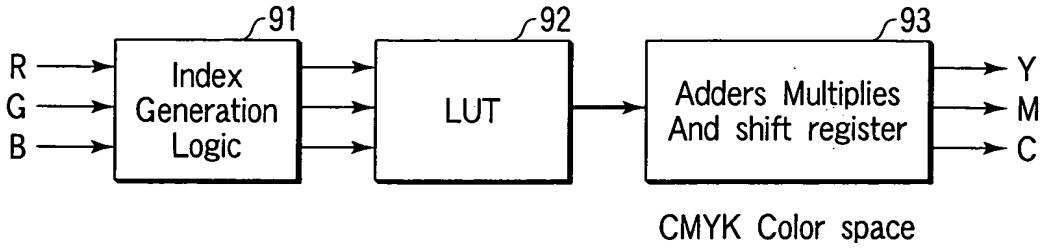
91
92
93
R
G
B
Index
Generation
Logic
LUT
Adders Multiplies
And shift register
Y
M
C
CMYK Color space

FIG. 9

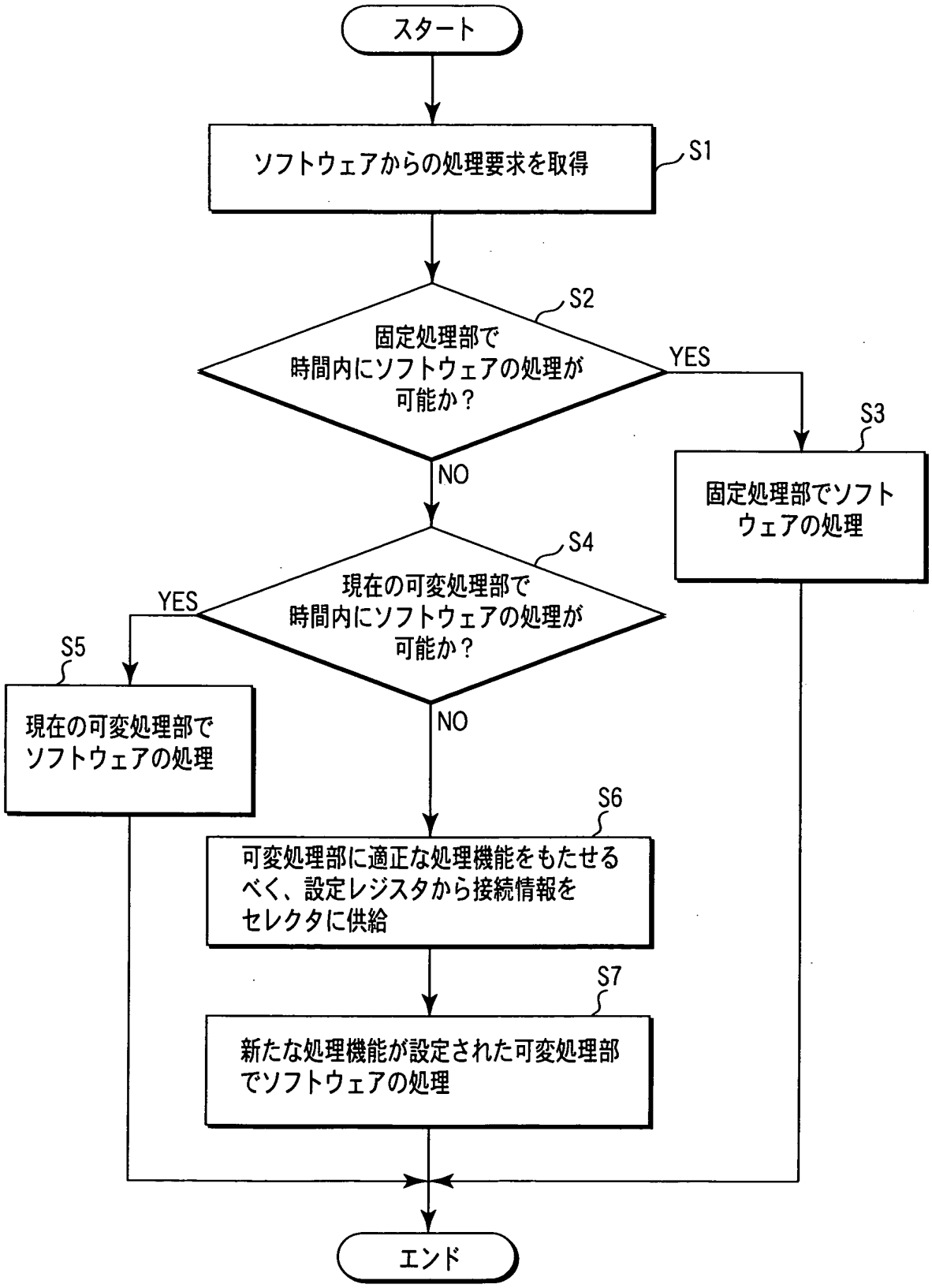
スタート
ソフトウェアからの処理要求を取得
S1
S2
固定処理部で
時間内にソフトウェアの処理が
可能か？
YES
NO
S3
固定処理部でソフト
ウェアの処理
S4
現在の可変処理部で
時間内にソフトウェアの処理が
可能か？
YES
NO
S5
現在の可変処理部で
ソフトウェアの処理
S6
可変処理部に適正な処理機能をもたせる
べく、設定レジスタから接続情報を
セレクタに供給
S7
新たな処理機能が設定された可変処理部
でソフトウェアの処理
エンド

FIG. 10

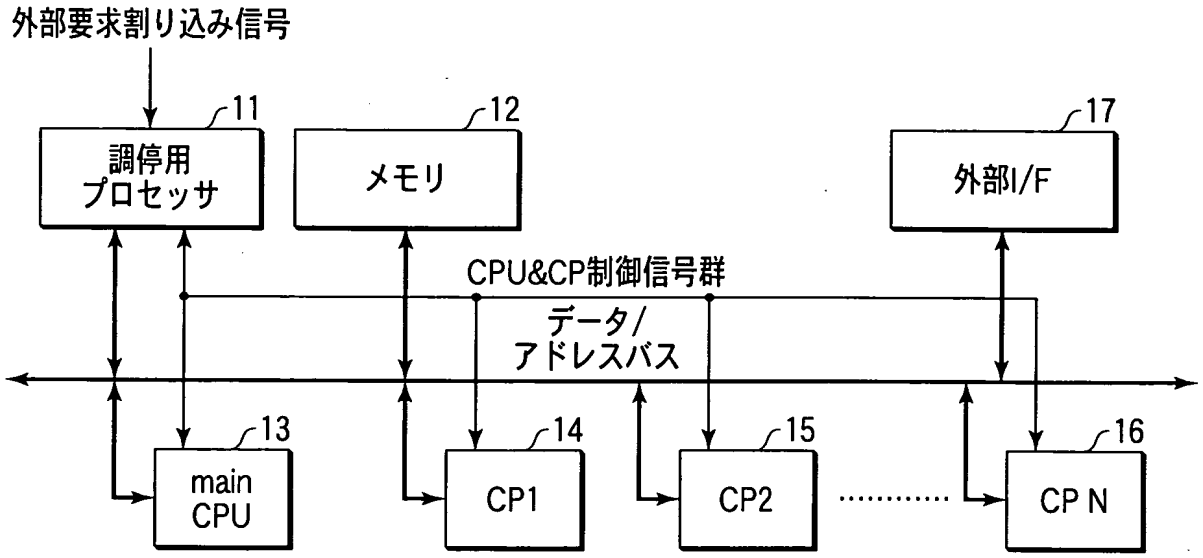
外部要求割り込み信号
11
調停用
プロセッサ
12
メモリ
17
外部I/F
CPU&CP制御信号群
データ/
アドレスバス
13
main
CPU
14
CP1
15
CP2
16
CP N

FIG. 11

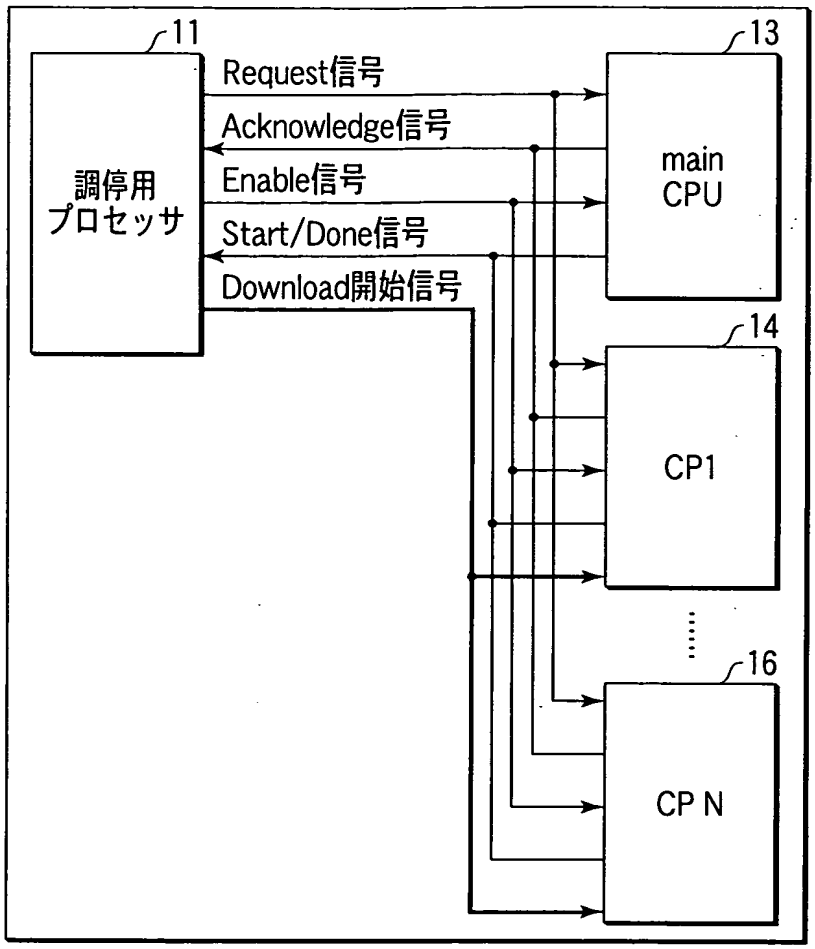
11
13
Request信号
Acknowledge信号
Enable信号
Start/Done信号
Download開始信号
調停用
プロセッサ
main
CPU
14
CP1
16
CP N

FIG. 12

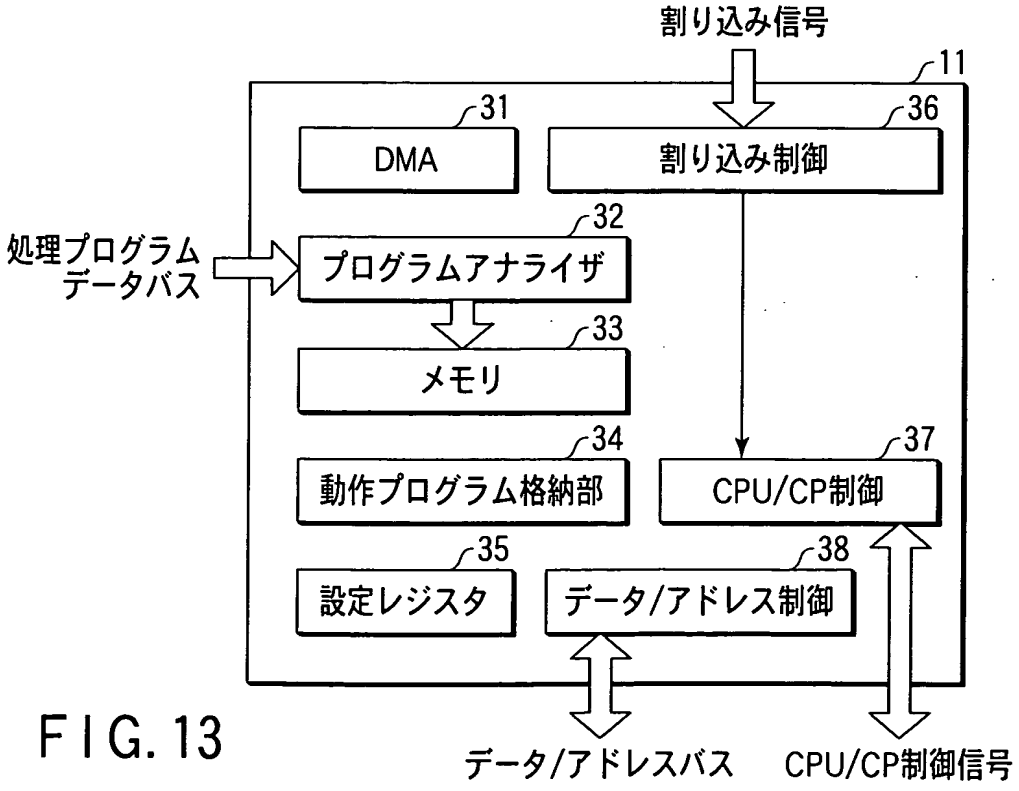
割り込み信号
11
31
DMA
36
割り込み制御
32
処理プログラム
データバス
プログラムアナライザ
33
メモリ
34
動作プログラム格納部
37
CPU/CP制御
35
設定レジスタ
38
データ/アドレス制御
データ/アドレスバス
CPU/CP制御信号

FIG. 13

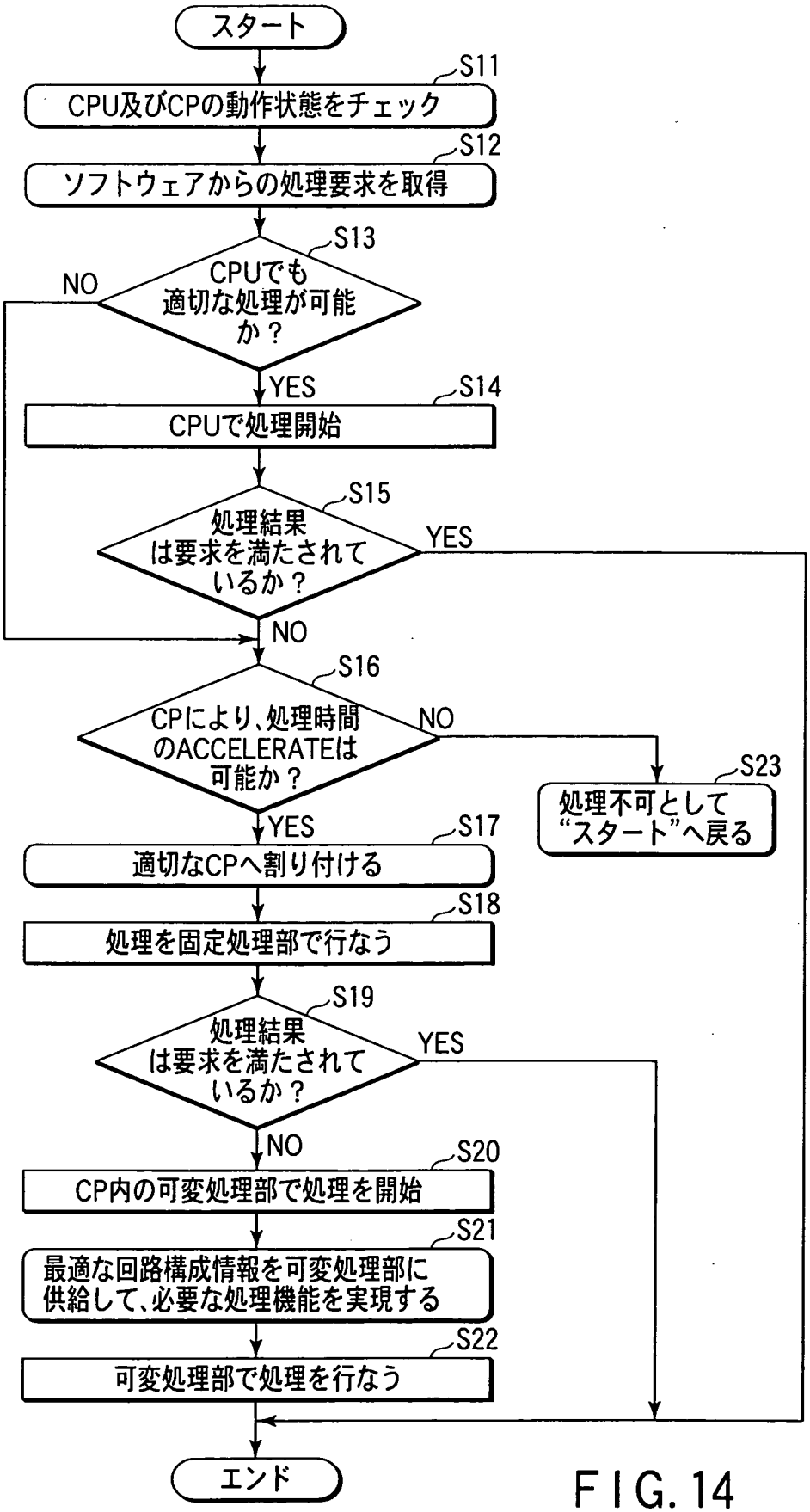
スタート
S11
CPU及びCPの動作状態をチェック
S12
ソフトウェアからの処理要求を取得
S13
CPUでも適切な処理が可能か？
NO
YES
S14
CPUで処理開始
S15
処理結果は要求を満たされているか？
YES
NO
S16
CPにより、処理時間のACCELERATEは可能か？
NO
S23
処理不可として“スタート”へ戻る
YES
S17
適切なCPへ割り付ける
S18
処理を固定処理部で行なう
S19
処理結果は要求を満たされているか？
YES
NO
S20
CP内の可変処理部で処理を開始
S21
最適な回路構成情報を可変処理部に供給して、必要な処理機能を実現する
S22
可変処理部で処理を行なう
エンド

FIG. 14